



日本特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

#09/075,668

JUN 30 1998  
OIC411P 0900

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

1997年 5月 9日

出願番号  
Application Number:

平成 9年特許願第135823号

出願人  
Applicant(s):

株式会社村田製作所

1998年 5月 15日

特許庁長官  
Commissioner,  
Patent Office

荒井寿之

出証番号 出証特平10-3036654

【書類名】 特許願  
【整理番号】 9G106MR  
【提出日】 平成 9年 5月 9日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01G 4/00  
【発明の名称】 積層セラミック電子部品  
【請求項の数】 1  
【発明者】  
【住所又は居所】 京都府長岡市天神二丁目26番10号 株式会社 村  
田製作所内  
【氏名】 上野 靖司  
【発明者】  
【住所又は居所】 京都府長岡市天神二丁目26番10号 株式会社 村  
田製作所内  
【氏名】 高木 義一  
【発明者】  
【住所又は居所】 京都府長岡市天神二丁目26番10号 株式会社 村  
田製作所内  
【氏名】 川端 和昭  
【発明者】  
【住所又は居所】 京都府長岡市天神二丁目26番10号 株式会社 村  
田製作所内  
【氏名】 大森 長門  
【特許出願人】  
【識別番号】 000006231  
【住所又は居所】 京都府長岡市天神二丁目26番10号  
【氏名又は名称】 株式会社 村田製作所  
【代表者】 村田 泰隆

【代理人】

【識別番号】 100092071

【弁理士】

【氏名又は名称】 西澤 均

【手数料の表示】

【予納台帳番号】 043993

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9004889

【書類名】 明細書

【発明の名称】 積層セラミック電子部品

【特許請求の範囲】

【請求項 1】

セラミック素子中に、複数の内部電極がセラミック層を介して重なり合うように配設され、かつ、前記内部電極が一層おきに互いにセラミック素子の逆側の端部に引き出された構造を有する積層セラミック電子部品において、

- (a) 前記セラミック層の厚みが  $10 \mu\text{m}$  以下、
- (b) 前記内部電極の積み枚数が 200 枚以上、
- (c) 前記セラミック層の厚みに対する前記内部電極の厚みの比（内部電極の厚み／セラミック層の厚み）が  $0.10 \sim 0.40$ 、
- (d) セラミック素子の体積（内部電極の体積とセラミックの体積の合計量）に対する前記内部電極の体積の比（内部電極の体積／セラミック素子の体積）が  $0.10 \sim 0.30$

の要件を満たすことを特徴とする積層セラミック電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は積層セラミック電子部品に関し、詳しくは、電子部品を構成するセラミック素子中に、複数の内部電極がセラミック層を介して重なり合うように配設された構造を有する積層セラミックコンデンサや積層バリスタなどの積層セラミック電子部品に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】

代表的な積層セラミック電子部品の一つである表面実装型の積層セラミックコンデンサは、例えば、図2に示すように、誘電体であるセラミック21中に、複数の内部電極22, 22…がセラミック層21aを介して互いに対向するように配設されているとともに、内部電極22, 22…の一端側が交互に逆側に引き出された構造を有するセラミック素子（コンデンサ素子）23の両端側に、内部電

極22, 22…と導通する外部電極24a, 24bを配設することにより形成されており、小型で大きな容量を得ることができるという特徴を有している。

#### 【0003】

ところで、積層型電子部品の小型、大容量化にともなって、積層セラミックコンデンサなどの積層セラミック電子部品内部の、セラミック層21aの薄層化、積層枚数の増加が急速に進んでおり、内部電極22に挟まれたセラミック層21aの厚み（素子有効厚み）が $5\text{ }\mu\text{m}$ 、積み枚数が100枚を越えるような構造を持つものが商品化されるに至っている。

#### 【0004】

このような積層セラミック電子部品においては、セラミック層21aの厚みが内部電極22の厚みと大きな差がないほど薄くなってしまい、セラミック素子（チップ）の厚みに対する各内部電極の厚みの合計の割合（内部電極の厚み（合計）／セラミック層の厚み）が0.30を越えるものまで提供されるようになっている。

#### 【0005】

そのため、製品である積層セラミック電子部品の焼結特性が、焼成過程における内部電極材料の焼結特性に大きな影響を受けることになる。その結果、セラミック素子に対する内部電極材料の割合が大きくなると、焼成過程でデラミネーションやクラックの発生率が増大して、製品の不良率が高くなり、信頼性が低下するという問題点がある。また、このような積層セラミック電子部品には、熱衝撃を受けた場合にクラックが発生しやすいという問題点がある。

#### 【0006】

本発明は、上記問題点を解決するものであり、内部電極の積み数を多くし、セラミック層の厚みを小さくした場合にも、焼成過程においてデラミネーションやクラックが発生することを抑制することが可能で、しかも、耐熱衝撃性に優れた信頼性の高い積層セラミック電子部品を提供することを目的とする。

#### 【0007】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明の積層セラミック電子部品は、

セラミック素子中に、複数の内部電極がセラミック層を介して重なり合うように配設され、かつ、前記内部電極が一層おきに互いにセラミック素子の逆側の端部に引き出された構造を有する積層セラミック電子部品において、

- (a) 前記セラミック層の厚みが  $10 \mu\text{m}$  以下、
- (b) 前記内部電極の積み枚数が 200 枚以上、
- (c) 前記セラミック層の厚みに対する前記内部電極の厚みの比（内部電極の厚み／セラミック層の厚み）が  $0.10 \sim 0.40$ 、
- (d) セラミック素子の体積（内部電極の体積とセラミックの体積の合計量）に対する前記内部電極の体積の比（内部電極の体積／セラミック素子の体積）が  $0.10 \sim 0.30$

の要件を満たすことを特徴としている。

#### 【0008】

セラミック層の厚みが  $10 \mu\text{m}$  以下、内部電極の積み枚数が 200 枚以上で、かつ、セラミック層の厚みに対する内部電極の厚みの比（内部電極の厚み／セラミック層の厚み）が  $0.10 \sim 0.40$ 、セラミック素子の体積に対する前記内部電極の体積の比（内部電極の体積／セラミック素子の体積）が  $0.10 \sim 0.30$  という要件を満たすことにより、内部電極の積み数を多くし、セラミック層の厚みを小さくした場合にも、焼成過程においてデラミネーションやクラックが発生することを抑制するとともに、耐熱衝撃性を向上させることが可能になり、信頼性の高い積層セラミック電子部品を提供することが可能になる。

#### 【0009】

すなわち、セラミック層の厚みに対する内部電極の厚みの比（内部電極の厚み／セラミック層の厚み）を制御することにより、焼成過程での内部電極材料の焼結特性の影響を抑制することが可能になり、焼成時にデラミネーションやクラックが発生することを防止できるようになるとともに、セラミック素子の体積（内部電極の体積とセラミックの体積の合計量）に対する内部電極の体積の比（内部電極の体積／セラミック素子の体積）を制御することにより、熱的なストレスに対する積層セラミック電子部品の強度を向上させることが可能になり、信頼性の高い積層セラミック電子部品を提供することが可能になる。

## 【0010】

## 【発明の実施の形態】

以下、本発明の実施の形態を示して、その特徴とするところをさらに詳しく説明する。なお、図1は、本発明の一実施形態にかかる積層セラミック電子部品（この実施形態では積層セラミックコンデンサ）を示す断面図である。

## 【0011】

この積層セラミックコンデンサは、図1に示すように、セラミック1中に複数の内部電極2, 2…が、セラミック層1aを介して互いに対向するように配設されているとともに、内部電極2, 2…の一端側が交互に逆側に引き出された構造を有するセラミック素子（コンデンサ素子）3の両端側に、内部電極2, 2…と導通する外部電極4a, 4bを配設することにより形成されている。

## 【0012】

なお、この積層セラミックコンデンサを製造するにあたり、まず、焼結後の厚みが9.8μm、6.2μm、4.3μmとなるような3種類のグリーンシートを製造した。そして、このグリーンシートの一方の面に、内部電極用導電性ペーストを、表1に示すような厚みとなるように印刷し、内部電極の積み枚数が200枚となるように積層、圧着した後、所定の大きさ（長さL=3.2mm、幅W=1.6mm）に切断して積層体（未焼成のセラミック素子）を得た。

次に、この積層体を熱処理して脱脂し、所定の条件で熱処理して焼結させた後、焼成後のセラミック素子の両端側に外部電極形成用の導電ペーストを塗布し、これを焼き付けて外部電極を形成することにより、図1に示すような積層セラミックコンデンサを得た。

## 【0013】

それから、上記のようにして得た積層セラミックコンデンサについて、取得される静電容量値、絶縁抵抗値、デラミネーションの発生率、セラミック素子の表面へのクラックの発生率の各特性を調べるとともに、熱衝撃（ΔT=350°C）を加えた場合のクラックの発生率（熱衝撃クラック発生率）を調べた。その結果を表1に併せて示す。

## 【0014】

【表1】

試料 No.	セラミック層 の厚み ( $\mu\text{m}$ )	内部電 極厚み ( $\mu\text{m}$ )	内部電 極厚み 比 (—)	内部電 極体積 比 (—)	静電容 量値 ( $\mu\text{F}$ )	絶縁抵 抗値 $\log IR$	デラミ ネーシ ョン発 生率 (%)	クラッ ク発生 率 (%)	熱衝撃 クラッ ク発生 率 (%)
* 1	9.8	0.68	0.06	0.075	1.81	12.01	0.00	0.00	0.00
2	9.8	0.99	0.10	0.100	2.25	12.00	0.00	0.00	0.00
3	9.8	1.13	0.15	0.112	2.37	11.98	0.00	0.00	0.00
4	9.8	1.97	0.20	0.186	2.43	11.87	0.00	0.00	0.00
* 5	9.8	2.50	0.26	0.307	2.23	11.89	0.33	1.35	2.13
* 6	6.2	0.58	0.09	0.095	2.78	11.53	0.00	0.00	0.00
7	6.2	0.87	0.14	0.135	3.54	11.25	0.00	0.00	0.00
8	6.2	1.15	0.19	0.172	3.42	11.15	0.00	0.00	0.00
9	6.2	1.87	0.31	0.257	3.15	11.01	0.00	0.01	0.00
* 10	6.2	2.40	0.38	0.310	3.07	11.07	0.53	0.97	0.54
* 11	4.3	0.41	0.95	0.103	3.98	10.10	0.00	0.00	0.00
12	4.3	0.71	0.16	0.170	4.54	10.93	0.00	0.00	0.00
13	4.3	0.97	0.23	0.200	4.95	11.25	0.00	0.00	0.00
14	4.3	1.23	0.29	0.210	5.01	10.98	0.00	0.00	0.00
* 15	4.3	1.65	0.41	0.310	4.99	10.33	0.13	0.52	1.58
* 16	4.3	2.40	0.56	0.390	4.83	10.54	0.97	1.35	3.51

## 【0015】

なお、表1において、No.に\*印を付したものは本発明の範囲外の試料（比較例）であり、その他は本発明の範囲内の試料である。

また、表1において、内部電極厚み比は、セラミック層の厚みに対する内部電

極の厚みの比（内部電極の厚み／セラミック層の厚み）を示し、内部電極体積比は、セラミック素子の体積（内部電極の体積とセラミックの体積の合計量）に対する前記内部電極の体積の比を示している。

また、表1における評価項目と評価試料数（n）の関係は以下の通りである。

静電容量値、絶縁抵抗値 : n = 100

デラミネーション、クラックの発生率 : n = 500

熱衝撃クラック発生率 : n = 500

#### 【0016】

表1に示すように、①内部電極厚み比が本発明の範囲（0.10～0.40）を下回る試料No.1では静電容量値が小さく、②内部電極厚み比が本発明の範囲を上回る試料No.11では絶縁抵抗値が小さく、③内部電極体積比が本発明の範囲（0.10～0.30）を上回る試料No.5、10、15、及び16ではデラミネーション、クラック、及び熱衝撃クラックの発生率が高くなっているのに対して、セラミック層に対する内部電極の厚みの比（内部電極の厚み／セラミック層の厚み）が0.10～0.40、セラミック素子の体積に対する前記内部電極の体積の比が（内部電極の体積／セラミック素子の体積）が0.10～0.30という要件を満たす本発明の範囲内の試料は、静電容量値や絶縁抵抗値に関して実用上問題のない特性が得られるとともに、焼成過程においてデラミネーションやクラックが発生せず、熱衝撃クラックも発生しないことが確認された。

#### 【0017】

なお、上記実施形態では、積層セラミックコンデンサを例にとって説明したが、本発明は、積層セラミックコンデンサに限らず、積層バリスタその他の、セラミック素子中に複数の内部電極がセラミック層を介して重なり合うように配設された構造を有する種々の積層セラミック電子部品に適用することが可能である。

#### 【0018】

本発明は、さらにその他の点においても上記実施形態に限定されるものではなく、セラミック層の厚み、内部電極の積み枚数、内部電極の厚みとセラミック層の厚みの比、セラミック素子の体積に対する内部電極の体積の比などに関し、発明の要旨の範囲内において、種々の応用、変形を加えることが可能である。

【0019】

【発明の効果】

上述のように、本発明の積層セラミック電子部品は、セラミック層の厚みが $10\text{ }\mu\text{m}$ 以下、内部電極の積み枚数が200枚以上、セラミック層の厚みに対する内部電極の厚みの比が $0.10 \sim 0.40$ 、セラミック素子の体積に対する前記内部電極の体積の比が $0.10 \sim 0.30$ の要件を満たすように構成されているので、焼成過程における内部電極材料の焼結特性の影響を抑制することが可能になり、焼成時にデラミネーションやクラックが発生することを防止できるようになるとともに、熱的なストレスに対する積層セラミック電子部品の強度を向上させることができる。

【0020】

その結果、内部電極の積み数を多くし、セラミック層の厚みを小さくした場合にも、焼成過程においてデラミネーションやクラックが発生することを抑制することが可能で、しかも、耐熱衝撃性に優れた信頼性の高い積層セラミック電子部品を提供することが可能になる。

【図面の簡単な説明】

【図1】

本発明の一実施形態にかかる積層セラミック電子部品（積層セラミックコンデンサ）の構造を示す断面図である。

【図2】

従来の積層セラミック電子部品（積層セラミックコンデンサ）の構造を示す断面図である。

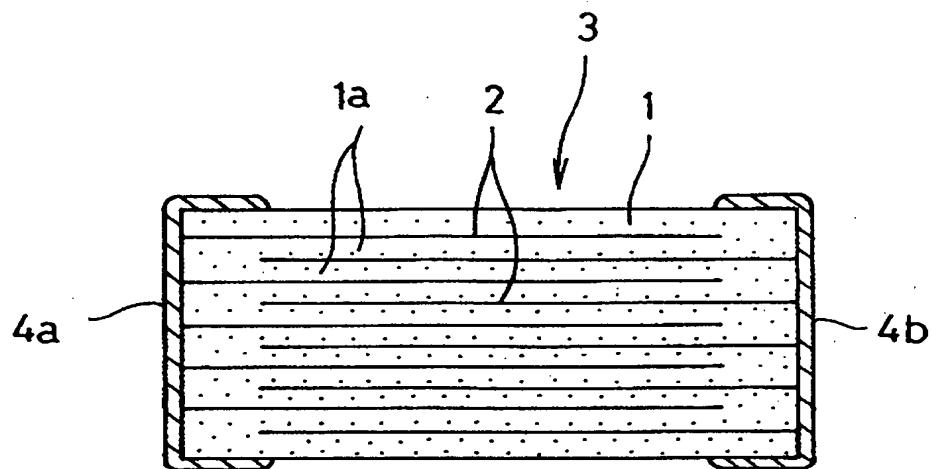
【符号の説明】

1	セラミック
1 a	セラミック層
2	内部電極
3	セラミック素子（コンデンサ素子）
4 a, 4 b	外部電極

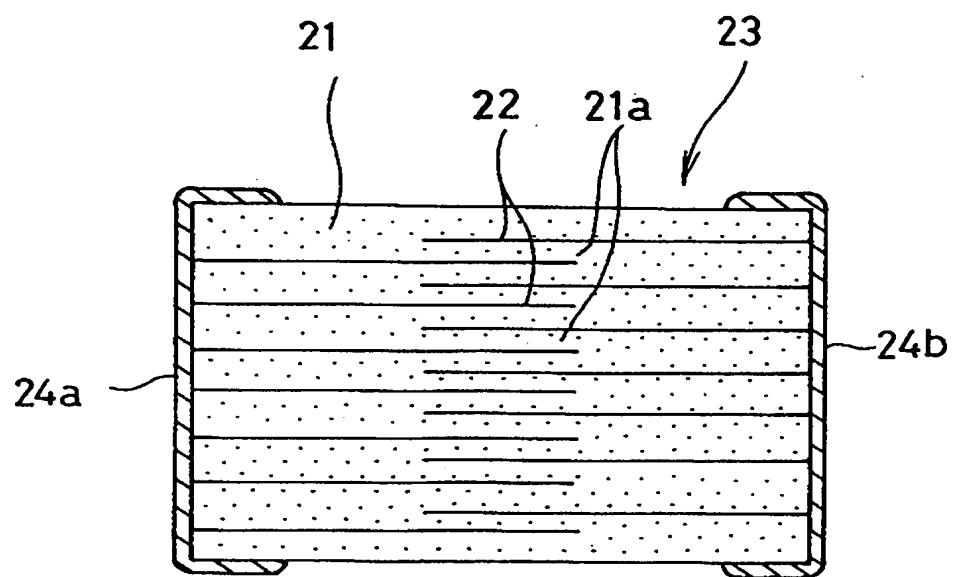
【書類名】

図面

【図1】



【図2】



【書類名】 要約書

【要約】

【課題】 内部電極の積み数を多くし、セラミック層の厚みを小さくした場合にも、焼結過程においてデラミネーションやクラックが発生することを抑制することが可能で、しかも、耐熱衝撃性に優れた信頼性の高い積層セラミック電子部品を提供する。

【解決手段】 セラミック層1aの厚みが $10\text{ }\mu\text{m}$ 以下、内部電極2の積み枚数が200枚以上、セラミック層1aの厚みに対する内部電極2の厚みの比（内部電極の厚み／セラミック層の厚み）が0.10～0.40、セラミック素子3の体積に対する内部電極2の体積の比（内部電極の体積／セラミック素子の体積）が0.10～0.30の要件を満たすように構成する。

【選択図】 図1

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000006231

【住所又は居所】 京都府長岡京市天神二丁目26番10号

【氏名又は名称】 株式会社村田製作所

【代理人】 申請人

【識別番号】 100092071

【住所又は居所】 大阪市西区江戸堀1丁目2番11号 大同生命南館

5階 西澤特許事務所

【氏名又は名称】 西澤 均

出願人履歴情報

識別番号 [000006231]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 京都府長岡市天神二丁目26番10号

氏 名 株式会社村田製作所